

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076308
 (43)Date of publication of application : 15.03.2002

(51)Int.CI.

H01L 27/108
 H01L 21/8242
 C23C 16/34
 H01L 21/318

(21)Application number : 2000-264356

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.2000

(72)Inventor : OGOSHI KATSUAKI
 HIGASHIMOTO MASAYUKI

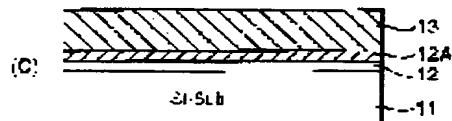
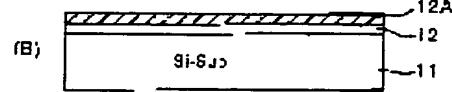
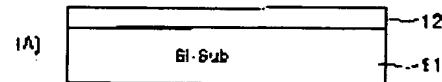
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an SiN film that has a small amount of leakage current even if film thickness is reduced to 0.4 nm or less, and a semiconductor device that uses the SiN film as a capacitor insulating film.

(A)～(C)は、本発明の第1実施例によるSiN層の形成方法を示す図

SOLUTION: In a pressure reduction CVD device, an ammonia-family gas and SiCl₄ are supplied as a raw material of N and Si, respectively, onto the SiN film formed by allowing an Si substrate to be subjected to thermal nitriding, and a CVD-SiN film is deposited at temperature of 650° C or less and 550° C or more.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76308

(P2002-76308A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl.⁷

H 01 L 27/108
21/8242
C 23 C 16/34
H 01 L 21/318

識別記号

F I
C 23 C 16/34
H 01 L 21/318
27/10

テマコード(参考)
4 K 0 3 0
M 5 F 0 5 8
6 5 1 5 F 0 8 3
6 2 1 B

審査請求 未請求 請求項の数4 O L (全15頁)

(21)出願番号 特願2000-264356(P2000-264356)

(22)出願日 平成12年8月31日 (2000.8.31)

(71)出願人 000005223

富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 大越 克明

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 東本 正之

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

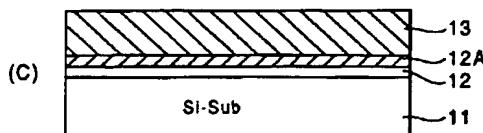
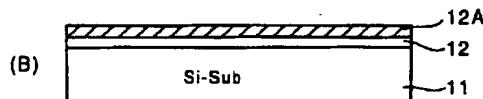
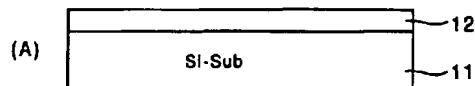
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 膜厚を0.4nm以下に減少させてもリーク電流の少ないSiN膜、およびかかるSiN膜をキャパシタ絶縁膜に使った半導体装置を提供する。

【解決手段】 減圧CVD装置において、Si基板を熱窒化して形成したSiN膜上に、アンモニア系ガスとSiCl₄とを、それぞれNおよびSiの原料として供給し、650°C以下、550°C以上の温度においてCVD-SiN膜を堆積する。

(A)～(C)は、本発明の第1実施例によるSiN膜の形成方法を示す図



【特許請求の範囲】

【請求項1】 基板と、
前記基板上に形成された活性素子と、
前記基板上に、前記活性素子に電気的に接続されて形成
されたキャパシタと異なる半導体装置において、
前記キャパシタは、屈折率が約1.90のSiN膜より
なるキャパシタ絶縁膜を有することを特徴とする半導体
装置。

【請求項2】 前記キャパシタ絶縁膜は、4.0nm
以下の酸化膜換算膜厚を有することを特徴とする請求項
1記載の半導体装置。

【請求項3】 活性素子を形成された基板と、前記基板
上に形成されたキャパシタとを有する半導体装置の製造
方法において、
キャパシタ下部電極を構成するSiパターン表面を熱塗
化することにより、前記Siパターン表面に第1のSi
N膜をキャパシタ絶縁膜の一部として形成する熱塗化工程と、

前記第1のSiN膜の表面に、四塩化ケイ素とアンモニア
系ガスとの反応によるCVDプロセスにより、第2の
SiN膜を前記キャパシタ絶縁膜の一部として形成する
CVD工程とにより、

前記CVD工程は550～660°Cの範囲の温度において
実行されることを特徴とする半導体装置の製造方法。

【請求項4】 前記CVD法は、四塩化ケイ素とアンモニア
ガスを、1:1～1:5の流量比で供給することにより
実行されることを特徴とする請求項3記載の半導体
装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は一般に半導体装置に
係り、特にキャパシタを有する半導体装置およびその製
造方法に関する。

【0002】 DRAMあるいはDRAM/ロジック混載
半導体集積回路は、集積回路基板上に一体的に形成された
キャパシタを有する。最近の、いわゆるサブクオーターミ
クロンあるいはディープサブクオーターミクロンと
称される、ゲート長が0.25μm以下の超微細化半導
体集積回路ではかかるキャパシタも対応して微細化され
るが、超微細化されたキャパシタにおいて必要な容量を
確保するために、キャパシタ絶縁膜の厚さを減少させ
ることが要求されている。

【0003】

【従来の技術】 従来より、DRAMのキャパシタとして
は比誘電率の大きいSiN膜の上下を安定に形成できる
SiO₂膜で挟持した、いわゆるONO構造の絶縁膜が
使われている。典型的なONO膜では、ポリシリコンより
なる下部電極上にSiO₂膜を熱酸化法により形成
し、その上にSiN膜をCVD法により堆積する。さら

に堆積されたSiN膜の表面を熱酸化してSiO₂膜に
より覆うことにより、欠陥の少ない優れた電気特性のキ
ャパシタを実現している。

【0004】 しかし、このようなONO構造のキャパシ
タ絶縁膜では、比誘電率の大きいSiN膜の上下に比誘
電率の小さいSiO₂膜が配置される構成であるため、
所望のキャパシタ容量を実現するのが困難である問題点
を有している。

【0005】 このため、最近の超微細化半導体集積回路
においては、Si下側電極上に直接に高品質のSiN膜
を形成する試みがなされている。例えば特開平5-36
899号公報、特開平9-50996号公報、特開平1
1-8359号公報等においては、Si下側基板表面に
690～900°Cの範囲の高い温度における熱塗化処理
により高品質のSiN膜を形成し、さらにその上に7
00°C前後におけるジクロロシラン(SiH₂C
l₂)、トリクロロシラン(SiHCl₃)あるいはテト
ラクロロシラン(四塩化ケイ素:SiCl₄)を原料と
したCVD法によりSiN膜を堆積する工程が提案され
ている。これらの従来の技術によれば、キャパシタ絶縁
膜の酸化膜換算膜厚が4.0nmを超える膜厚において
優れた電気的特性を有するキャパシタが得られる。また
特開平2000-10082号公報によれば、SiCl₄を原料と
したCVD法により、700°C以上の基板
処理温度において、キャパシタ絶縁膜の酸化膜換算膜厚
が0.38nmであっても、優れた電気的特性を有する
キャパシタが得られることが報告されている。

【0006】

【発明が解決しようとする課題】 しかしながら、これら
従来のSiN膜の形成方法では基板温度を700°C以上
に設定する必要があり、超微細化半導体集積回路のキ
ャパシタ形成に適用した場合、基板上に既に形成されて
いる活性素子、典型的にはトランジスタの不純物プロフ
ファイルが変形てしまい、所望のトランジスタ動作特性
が得られなくなる問題が生じてしまう。

【0007】 より具体的に説明すると、かかる超微細化
キャパシタは一般に基板上の層間絶縁膜上に形成される
が、前記層間絶縁膜の下にはトランジスタ等の活性素子
がすでに形成されており、かかる活性素子は不純物元素
のイオン注入により基板中に形成された拡散領域を含
む。そこで、前記層間絶縁膜上にSiNキャパシタ絶縁
膜を有するキャパシタを前記従来技術の方法により形成
した場合には、前記SiN膜の形成に伴う700°Cを超える
熱処理の結果、前記拡散領域中における不純物原子
のプロファイルが実質的に変更されてしまう。設計ル
ールが0.18μmの半導体集積回路では、かかるSi
N膜形成に伴う熱処理温度は690°C以下に抑制する
必要があり、さらに設計ルールの厳しい超微細化半導
体集積回路では650°C以下に抑制するのが好ましい。
このためには、かかる低温において高品質のSiN膜を

形成できる方法が必要である。

【0008】そこで、本発明は上記の課題を解決した新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0009】本発明のより具体的な課題は、650°C以下の基板温度形成可能な高品質SiN膜をキャパシタ絶縁膜として使った超微細化半導体装置、およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は上記の課題を、基板と、前記基板上に形成された活性素子と、前記基板上に、前記活性素子に電気的に接続されて形成されたキャパシタよりなる半導体装置において、前記キャパシタは、屈折率が約1.90のSiN膜よりなるキャパシタ絶縁膜を有することを特徴とする半導体装置により、解決する。

【0011】前記SiN膜は第1のSiN膜と第2のSiN膜となり、前記キャパシタ絶縁膜は4.0nm以下の酸化膜換算膜厚の場合に著しい効果が得られる。前記キャパシタにおいて、前記SiN膜はSi下部電極上に直接に形成されているのが好ましい。あるいは、前記キャパシタにおいて前記SiN膜はSi下部電極上に、SiO₂膜を介して形成してもよい。本発明は前記活性素子が0.18μm以下のゲート長を有する場合に特に有効である。

【0012】本発明はさらに上記の課題を、Si基板表面を熱塗化することにより前記Si基板表面に第1のSiN膜をキャパシタ絶縁膜の一部として形成する熱塗化工程と、前記第1のSiN膜の表面に四塩化ケイ素とアンモニア系ガスとの反応によるCVDプロセスにより第2のSiN膜を前記キャパシタ絶縁膜の一部として形成するCVD工程となり、前記CVDプロセスは550~660°Cの範囲の温度において実行されることを特徴とするSiN膜の形成方法により、またかかるSiN膜の形成方法を使ってキャパシタ絶縁膜を形成する半導体装置の製造方法により、解決する。

【0013】前記CVD工程は、四塩化ケイ素とアンモニアガスを、1:1~1:5の流量比で供給することにより実行するのが好ましい。また前記熱塗化工程と前記CVD工程とは、前記キャパシタ絶縁膜が0.4nm以下のSiO₂換算膜厚を有するように実行するのが好ましい。前記CVD工程は、600°C~640°Cの範囲の温度で実行するのがより好ましい。

【作用】本発明によれば、キャパシタ絶縁膜のリーク電流特性が向上し、このためリーク電流を抑制しつつ、キャパシタ絶縁膜の膜厚を酸化膜換算膜厚にして4.0nm以下に減少させることができる。キャパシタ絶縁膜として比誘電率の大きいSiNを使い、しかもその膜厚を減少させることにより、本発明は大きな容量のキャパシタを実現することができる。かかるSiN膜は65

0°C以下の低温の熱塗化工程および熱CVD工程にて形成されるが、かかる低温の工程で形成されたSiN膜は約1.90の屈折率を有する。SiN膜をSi下部電極上に直接に形成することにより、キャパシタ絶縁膜を実質的に全て、比誘電率の大きいSiN膜により形成することが可能で、キャパシタ容量をさらに増大させることができる。また、かかるSiN膜とSi下部電極との間に、自然酸化膜起源の薄いSiO₂膜が介在することも可能である。かかるキャパシタは低温において形成することが可能で、このため本発明は前記活性素子が0.18μm以下のゲート長を有する場合に特に有効である。

【0014】また本発明の半導体装置の製造方法によれば、SiN膜を650°C以下の低温で形成することが可能になるため、すでに超微細化活性素子が形成されている基板上にかかるSiN膜を形成する場合でも、活性化素子の拡散領域において不純物濃度プロファイルが変更されることはなく、半導体集積回路の正常な動作が保証される。かかるSiN膜のCVD工程において、原料として水素(H)を実質的に含まないSiC₁₄を使うことにより、SiC₁₄とNH₃の流量比を1:1~1:5に設定することにより、換算するとNH₃の供給量をSiC₁₄の供給量に近づけるように流量比を設定することにより、膜中に取り込まれるHの量が減少し、SiN膜中のリーク電流を減少させることができる。特に前記CVD工程の際の基板温度を640°C以下に設定することにより、SiN膜の堆積速度が低下し、CVD工程で形成されるSiN膜の表面モフォロジーが改善される。

【0015】

【発明の実施の形態】【第1実施例】図1(A)~(C)は、本発明の第1実施例によるSiN膜の形成方法を示す。

【0016】図1(A)を参照するに、Si基板11の表面からは、SiN膜の形成に先立ち、通常の希釈HF処理により自然酸化膜が除去されているが、かかる自然酸化膜除去工程の直後には、大気中の酸素や水分の作用により、薄い自然酸化膜12が再び形成されている。

【0017】このような自然酸化膜12は厚さが数ナノメートルの範囲で変動しているが、自然酸化膜の膜厚が薄い部分では堆積速度が大きく、厚い部分では小さい傾向があるため、かかる自然酸化膜12上に直接に減圧CVD法によりSiN膜を形成した場合、SiN膜の表面の凹凸が増幅され、キャパシタ絶縁膜に適した平滑な表面を有する膜は得られない。

【0018】このため、図1(B)の工程において図1(A)の構造を比較的高い、例えば1.6×10⁴PaのN₂圧力下において、650°Cの温度で、120分を超えない長時間にわたって保持し、前記自然酸化膜12の全部あるいは一部を熱塗化膜12Aに変換する。こ

のようにして形成された熱窒化膜12Aは0.9~1.2nm程度の厚さを有する。

【0019】次に図1 (C) の工程において、前記熱窒化膜12A上にCVD-SiN膜13を、前記熱窒化膜12AとCVD-SiN膜13を合わせたSiN膜のSiO₂換算膜厚が4nm以下になるように堆積する。その際、本発明においては基板温度を550~650°Cの範囲に設定し、CVD工程の原料ガスとして四塩化ケイ素SiCl₄とNH₃とを、1:1~1:5の流量比で供給する。

【0020】図2は、本発明において図1 (A) ~ (C) の工程を実行するのに使われる減圧CVD装置20の構成を示す。

【0021】図2を参照するに、前記減圧CVD装置20は石英製のリアクタ21を有し、被処理基板は前記リアクタ21中に保持される。

【0022】より詳細に説明すると、前記石英リアクタ21は一端が封じられ他端に試料取り出し開口部22が形成されており、ヒータ(図示せず)を内蔵する断熱材23により覆われている。前記リアクタ21の内部空間は真空ポンプ(図示せず)に接続された排気ポート24を介して排気され、さらにSiCl₄およびNH₃が反応ガスとして、N₂キャリアガスと共に、導入ポート25を介して導入される。

【0023】前記リアクタ21の内部において被処理基板は石英製のポート26により、多数の他の被処理Si基板と共に、間隔をあけた状態で水平に積層されている。これらの被処理基板は、前記石英ポート26を上下させることにより前記開口部22を通って前記リアクタ21中に搬入され、また搬出される。

【0024】前記リアクタ21の下方にはN₂などの不活性ガスをポート27を介して導入されるロードロック室28が設けられており、前記ロードロック室28中には搬送機構26Cが、前記石英ポート26をガイドシャフト26Dに沿って上下移動させるように設けられている。前記石英ポート26が上昇した状態では、前記石英ポート26の基部26Aに設けられた底板26Bが前記開口部22、従って前記リアクタ21を閉鎖する。一方、前記石英ポート26が下降した状態では、前記ロードロック室28の一部に形成されたゲートバルブ29が回動し、前記開口部22を閉鎖する。

【0025】さらに前記ロードロック室28の一部には被処理基板を出入する開口部28Aに扉28Bが設けられ、前記ロードロック室28の外側には前記扉28Bに隣接して、被処理基板を保持するカセット28Cと、被処理基板を前記カセット28Cと前記ロードロック室28中の石英ポート26との間で受け渡しするロボット28Dとが設けられている。

【0026】次に、図2の減圧CVD装置を使って実行される、図1 (A) ~ (C) のSiN膜形成工程の詳細

を、図3のフローチャートを参照しながら説明する。ただし、以下の説明では、特に明記しない限り、前記リアクタ21は400°Cの温度に保持され、圧力が1.0×10⁵PaのN₂ガスにより充填されているものとする。

【0027】図3を参照するに、ステップS1において前記石英ポート26は前記駆動機構26Cにより前記リアクタ21の下方に下降駆動され、前記リアクタ21はゲートバルブ29により閉鎖される。この状態で図1 (A) の構造を含む被処理基板が前記カセット28Cから前記ロボット28Dにより、前記扉28Bおよび開口部28Aを介して前記ロードロック室28中に導入され、前記石英ポート26上に装着される。次に前記扉28Bが閉鎖され、前記ロードロック室28中の雰囲気が、前記ポート27から前記ロードロック室28中にN₂ガスを30分間にわたり導入することにより、酸素濃度10ppm以下のN₂雰囲気に置き換えられる。

【0028】次にステップS2において前記ゲートバルブ29が開放され、前記駆動機構26Cにより前記ポート26が装着されている被処理基板共々、前記リアクタ21中に挿入される。前記ポート26が前記リアクタ21中に完全に挿入された状態において、前記リアクタ21の開口部22は前記ポート基部26Aの底板26Bにより閉鎖される。

【0029】次にステップS3において前記リアクタ21内が前記排気ポート24を介して排気され、前記リアクタ21内の雰囲気が3.9×10⁻¹Pa以下に減圧される。

【0030】次にステップS4において前記リアクタ21中にNH₃ガスが前記導入ポート25より、前記リアクタ21中の雰囲気が1.6×10⁴Paの圧力に達するまで、典型的には2SLMの流量で導入され、さらに前記圧力を維持しつつ前記被処理基板の温度を前記400°Cの温度から640°Cまで100°C/minの昇温速度で上昇させる。さらにこの状態を120分間保持することにより、図1 (B) に示したように前記Si基板11上の自然酸化膜12の全部あるいは一部が、厚さが0.9~1.2nmの熱窒化膜12Aに変換される。次にステップS5において前記リアクタ21の内圧を26.6Paに設定し、前記導入ポート25からNH₃とSiCl₄とが、前記リアクタ21中におけるSiCl₄の分圧がNH₃の分圧の約1/5になるように、流量をそれぞれ250sccmと50sccmに設定して導入され、前記熱窒化膜12A上にCVD-SiN膜13が形成される。かかるCVD工程を約15分間継続することにより、前記SiN膜13を、前記熱窒化膜12AとCVD-SiN膜13とを合わせたSiN膜の膜厚が4nmとなるように形成することができる。

【0031】前記ステップS5では、前記リアクタ21中にSiCl₄が導入されるよりも前にすでにステップ

S₄においてNH₃が導入されているため、SiC₁₄の導入に伴って被処理基板上にポリシリコン膜が堆積する問題が回避される。

【0032】次にステップS₆において前記リアクタ2₁の温度を先の640°Cに維持したまま、前記リアクタ2₁中へのSiC₁₄の供給を遮断する。その結果、前記リアクタ2₁中の雰囲気は、約3分間後にはNH₃雰囲気に切替えられる。

【0033】さらにステップS₇において前記リアクタ2₁の温度が15分間程度の時間をかけて400°Cまで降下され、同時にリアクタ2₁中へにNH₃の供給を停止し、N₂の供給に切替える。その結果、前記リアクタ2₁中およびこれに協働するガス供給ライン中のNH₃およびSiC₁₄がバージされ、また前記リアクタ2₁中の雰囲気がN₂雰囲気に切替えられる。

【0034】次にステップS₈において前記排気ポート2₄からの前記リアクタ2₁の排気を停止し、前記リアクタ2₁中の圧力を1.0×10⁵Paに上昇させる。

【0035】さらにステップS₉において前記石英ポート2₆を下降させ、前記被処理基板を石英ポート2₆共々、前記リアクタ2₁からロードロック室2₈へ搬出する。また、前記石英ポート2₆を下降させた後、前記リアクタ2₁の開口部2₂を前記ゲートバルブ2₉により閉鎖する。

【0036】さらにステップS₁₀において、前記ロードロック室2₈中で前記被処理基板を前記ポート2₆共々室温まで冷却し、さらにステップS₁₁において前記扉2₈Bを開き、被処理基板を前記ポート2₆からロポート2₈Dを使ってカセット2₈C中に回収する。

【0037】図4は、本実施例において前記CVD装置2₀中で使われる温度プロファイルを、図3のフローチャート中における各ステップS₁～S₁₁に対応して示す。

【0038】図5は、このようにして得られた熱塗化膜1₂AとCVD-SiN膜1₃よりなる本実施例によるSiN膜について、印加電界とリーク電流の関係を△で示す。また図4中には、図4の温度プロファイルにおいてステップS₄～S₆の処理温度を680°Cとした第1の比較例についての結果を○で示す。さらに図4中には、図6に示したようにステップS₄の熱塗化工程を680°Cで実行した後、CVD工程を650°Cで、ただしSiC₁₄の代わりにSiH₂C₁₂をSiの原料として使って行った第2の比較例についての結果を●で示してある。図5の実験は、図1(C)の工程で得られたSiO₂換算膜厚が3.8nmのSiN膜の表面をウェット酸化法により酸化して図7に示すようにSiO₂膜1₄を形成し、その上に導電性アモルファスシリコン電極1₅を堆積してMOSダイオードを形成し、かかるMOSダイオードについてリーク電流を測定することにより、行った。

【0039】前記図6に示す第2の比較例では、ステップS₄において熱塗化反応が1.6×10⁴Paの圧力下、NH₃を2SLMの流量で供給しながら680°Cの温度で120分間行われ、またステップS₅においてSiN膜のCVD工程が、同じ1.6×10⁴Paの圧力下において、NH₃の流量を150SCCMに設定し、SiH₂C₁₂の流量を30SCCMに設定して650°Cの温度で16分間行われる。

【0040】図5を参照するに、本実施例におけるよう10にSiの原料としてSiC₁₄を使い、CVD工程の際の基板温度を640°Cとすることで、第1の比較例のように基板温度を680°Cとした場合に比べて大きくリーク電流が減少することがわかる。また、前記CVD工程の際の基板温度を640°Cあるいは650°Cとした場合でも、Siの原料としてSiH₂C₁₂の代わりにSiC₁₄を使うことにより、得られるSiN膜のリーク電流特性が向上することがわかる。これは、SiC₁₄がHを含まないため、形成されるSiN膜中に取り込まれるHの量が減少し、リーク電流特性が向上するものと考えられる。Nの原料として使われるNH₃中にはHが含まれるが、SiC₁₄の前記リアクタ2₁内における分圧をNH₃の分圧の1/5以上とすることにより、図5に示す、優れたリーク電流特性を実現することが可能である。特に前記第2の比較例と比較した場合、本実施例によるSiN膜のリーク電流の値は、半導体装置において実際に使われる2.5MV/cm程度の電界が印加された状態で一桁以上減少する。ただし、図5の試料は全て、先にも述べたように、SiO₂換算膜厚が3.8nmのSiN膜を有する。

【0041】図8は、本実施例によるSiN膜のリーク電流とSiO₂換算膜厚との関係を示す。

【0042】図8を参照するに、一般にリーク電流はSiO₂換算膜厚と共に直線的に増大する傾向があるが、先に図6で説明したSiH₂C₁₂をSi原料として使う第1の比較例によるCVD-SiN膜では、近年の超微細化半導体装置に要求される10⁻⁸A/cm²のリーク電流密度を実現しようとすると、図中に▲で示すように、4.0nmを超え、4.1nmに達するSiO₂換算膜厚が必要になることがわかる。これに比べれば、SiC₁₄をSiの原料として使い680°Cの温度で形成されるCVD-SiN膜のリーク電流は、図中に●あるいは■で示すように、SiO₂換算膜厚が3.8nmにおいても前記10⁻⁸A/cm²を切るリーク電流密度を実現することができるのがわかる。ただし図7中、●および■で示す実験点ではSiC₁₄とNH₃の分圧比が異なっている。

【0043】これに対し、図7中において◆で示す本実施例によるSiN膜は、同じ3.8nmのSiO₂換算膜厚において最もリーク電流が小さく、前記10⁻⁸A/cm²のリーク電流密度が許容されるならば、膜厚を前50

記4nmの値からさらに減少させることができることを示している。

【0044】このように、本実施例によればSi基板11の表面に640°Cの温度で熱窒化膜12Aを形成し、その上に640°Cの温度でSiCl₄とNH₃とを原料ガスとして使ったCVD工程を行うことにより、リード電流特性の極めて優れたSiN膜を形成することができる。その際、前記Si基板11の代わりにポリシリコンあるいはアモルファスシリコンを使うことも可能であり、また前記CVD工程は650°C程度の温度において実行しても、同様な効果を得ることができる。一方、前記CVD工程の温度が550°C以下になるとアラクタ21中におけるNH₃とSiCl₄の分解反応が遅くなり、SiN膜の堆積が生じなくなる。このため、前記CVD工程は650°C～550°Cの範囲、より好ましくは640°C～600°Cの範囲で行うのが好ましい。前記CVD工程を640°C以下の温度において実行することにより、SiN膜の堆積速度が低下し、表面モフォロジーが向上する。

【0045】本実施例によればSiN膜が低温で形成されるため、かかるSiN膜をキャパシタ絶縁膜として使うキャパシタがMOSトランジスタ等の超微細化活性素子を覆う層間絶縁膜上に形成された場合であっても、SiN膜の形成に伴って前記活性素子の拡散領域において不純物濃度プロファイルが変化することはない。

【0046】本実施例による、図4の温度プロファイルにより形成されたSiN膜13は1.90±0.04の屈折率を有するが、この値は通常のSiN膜の屈折率值2.0よりも小さいことがわかる。一方、通常のSiO₂膜の屈折率は約1.42であり、また通常のSiON膜の屈折率は1.65程度である。

【0047】図9(A)、図10(A)および図11(A)は、それぞれ図1(C)の構造において前記熱窒化膜12AおよびCVD-SiN膜13を図4の温度プロファイルに従って形成した本実施例構造における、SIMS分析により求めたSi原子、N原子およびO原子の深さ方向への濃度分布を示す。これに対し、図9(B)、図10(B)および図11(B)は、それぞれ図1(C)の構造において前記熱窒化膜12AおよびCVD-SiN膜13を図6の温度プロファイルにしたがって形成した比較例2の構造におけるSi原子、N原子およびO原子の深さ方向への濃度分布を示す。図9

(A)～図11(B)の各図面において、縦軸はSIMS強度を、また横軸は時間を示すが、横軸は図1(C)の構造におけるCVD-SiN膜13の表面から測った深さに対応する。ただし、いずれの試料においても、前記SIMS分析は、前記CVD-SiN膜13の表面に前記ウェット酸化処理により図7に示す酸化膜14を形成した状態で行っている。

【0048】図9(A)、(B)および図10(A)、

(B)を参照するに、いずれの試料もSiとNについてほぼ同じ分布プロファイルを有し、分析開始後ほぼ10分後にNのSIMS強度が実質的にゼロになることから、この深さが前記Si基板11の表面に対応するのがわかる。

【0049】一方図11(A)、(B)によれば、分析開始5分後に対応する前記Si基板11の表面に形成された熱窒化膜12Aでは酸素濃度はほとんどゼロであるのに対し、その上に形成されたCVD-SiN膜13は多少のO原子を含み、特に前記CVD-SiN膜13の膜中には酸素が多量に取り込まれているのがわかる。

【0050】図11(A)、(B)の酸素濃度プロファイルを比較するに、前記CVD-SiN膜13は、図11(A)に示す本実施例における方が、図11(B)に示す比較例2におけるよりも酸素濃度が高いことがわかるが、本実施例により得られたSiN膜の屈折率が1.90と、通常のSiN膜の屈折率値2.0よりも多少低いのは、かかる酸素濃度の差によるものと考えられる。

【0051】本実施例において、前記Nの原料としてはNH₃以外にも他のアンモニア系ガス、たとえばヒドログンを使うことができる。

【第2実施例】図12(A)～図12(F)は本発明の第1実施例によるDRAM/ロジック混載半導体集積回路装置30の製造工程を示す。

【0052】図12(A)を参照するに、p型Si基板31上にはn型ウェル31Aが形成されており、さらに前記基板31上には厚さが約3nmの初期酸化膜(図示せず)を形成の後、厚さが約115nmのSiNパターン32が素子分離領域を露出するように形成される。

【0053】次に図12(B)の工程において、前記基板31上に前記SiNパターン32をマスクとしてSTI構造33A～33Fが形成され、さらにB+のイオン注入により前記n型ウェル31A中にメモリセル領域30Aに対応してp型ウェル31Bを形成する。また、前記基板31中、前記p型ウェル31Bの外側のロジック回路領域30B中に、前記p型基板31およびn型ウェル31Aにまたがって、p型ウェル31Cを形成する。実際には、先に前記p型ウェル31Cを形成し、その後で前記p型ウェル31Bが形成される。なお、n型ウェルは前記STI構造形成後に、高エネルギー注入により形成してもよい。

【0054】さらに、図12(B)の工程では熱酸化により前記基板31の表面に厚さが約8nmのゲート酸化膜34を形成し、さらに前記ゲート酸化膜34上にPをドープしたアモルファスシリコン層を熱CVD法により約160nmの厚さに堆積する。形成されたアモルファスシリコン層をフォトリソグラフィー工程によりパターンングすることにより、ゲート長が0.18μm以下のゲート電極35A～35Fが形成される。周知のようにゲート電極35A～35Fはワード線WLの一部を構成

し、また前記メモリセル領域中のSTI構造33A、33B上には他のメモリセル領域のワード線WLが延在する。

【0055】さらに前記ゲート電極35A～35FをマスクにP+をイオン注入することにより前記メモリセル領域30A中に前記ゲート電極35A～35Cに隣接してn-型拡散領域31a～31dが形成され、同時に前記ロジック回路領域30BのP型ウェル31C中には、前記ゲート電極35E、35Fに隣接してLDD領域を構成するn-型拡散領域31h～31kが形成される。また同時に、前記周辺領域30Bにおいても前記N型ウェル31A中に前記ゲート電極35Dに隣接してn-型拡散領域31f、31gが形成される。

【0056】さらに、前記メモリセル領域30Aおよび前記p型ウェル31Cをレジストで保護した状態で前記ロジック回路領域31Aのn型ウェル領域31AにB+をイオン注入し、前記ゲート電極35Dに隣接して形成されている前記拡散領域31f、31gの導電型をp型に変化させる。

【0057】次に、前記ゲート電極35A～35Fを覆うように酸化膜を堆積し、さらにこれをエッチバックすることにより、各々のゲート電極35A～35Fに側壁酸化膜を形成する。

【0058】さらに図12(B)の工程では前記メモリセル領域30Aおよびロジック回路領域30B中のn型ウェル31Aの部分をレジストにより覆い、前記p型ウェル31C中に前記ゲート電極35E、35Fおよびその両側の側壁酸化膜をマスクにA_s+をイオン注入することにより、n+型の拡散領域311～310を前記側壁酸化膜の外側に形成する。

【0059】さらに、前記図12(B)の工程では、前記基板31の表面を前記ロジック回路領域30B中のn型ウェル31Aの部分が露出するようにレジストにより覆い、さらにB_F2+をイオン注入することにより、前記ゲート電極35Dに隣接して、側壁酸化膜の外側にp+型の拡散領域31pおよび31qが形成される。

【0060】次に、図13(C)の工程において図11(B)の構造上にBPSG膜36を約250nmの厚さに堆積し、さらに前記BPSG膜36中に前記拡散領域31b、31e、31pおよび31nをそれぞれ露出するコンタクトホール36A～36Dを形成する。さらに前記BPSG膜36上に酸化膜を熱CVD法により堆積し、全面エッチバックすることにより前記コンタクトホール36A～36Dの側壁面に側壁酸化膜36a～36dをそれぞれ形成する。さらに、前記コンタクトホール底36A～36Dを覆うように、PをドープしたアモルファスシリコンおよびWSiよりなる電極37A～37Dをそれぞれ形成する。このうち、メモリセル領域30B中の電極37A、37Bはピット線パターンを形成する。前記コンタクトホール36A～36Dに側壁酸化膜

36a～36dを形成することにより、前記コンタクトホールの位置がずれた場合にも、コンタクトホール内に形成された電極とゲート電極との短絡を回避することができる。

【0061】図13(C)の工程では、さらに前記BPSG膜36上に厚さが約350nmの別のBPSG膜38を、前記BPSG膜38が前記電極37A～37Dを覆うように形成する。

【0062】次に図13(D)の工程において、図13(C)のBPSG膜38中に、前記メモリセル領域30A中において拡散領域31a、31cおよび31dをそれぞれ露出するコンタクトホール38A～38Cを形成し、図14(E)の工程において、前記コンタクトホール38A～38Cを覆うようにメモリセルキャパシタを形成する。

【0063】図15(A)～図16(D)は、図13(D)の工程と図14(E)の工程との間の工程を詳細に示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0064】図15(A)を参照するに、前記BPSG膜38上には前記コンタクトホール38Bを覆うように、前記BPSG膜38あるいはBPSG膜36よりもエッチングレートの低いSiO₂、SiN、SiON等の絶縁膜39を形成し、これをエッチバックして図15(B)に示すようにコンタクトホール38Bの側壁を覆う側壁絶縁膜38bを形成する。

【0065】次に、図16(C)の工程において、図15(B)のレジストパターン40を除去し、Pをドープしたアモルファスシリコン層を堆積した後パターニングし、前記コンタクトホール38Bを覆うメモリセルキャパシタの蓄積電極41を形成する。

【0066】次に図16(D)の工程において、先に図3および図4で説明した工程により前記アモルファスシリコン蓄積電極41表面の熱窒化を行い、さらにその上に減圧CVD工程によりCVD-SiN膜を堆積することにより、SiNキャパシタ絶縁膜42を形成する。さらにかかるSiNキャパシタ絶縁膜42を熱酸化処理した後、前記キャパシタ絶縁膜42上にPドープアモルファスシリコン層を堆積し、パターニングすることにより対向電極43を形成する。図16(D)の構造は先に説明した図14(E)の構造に対応している。

【0067】図14(E)を再び参照するに、前記BPSG膜38中に形成され各々前記拡散領域31a、31cおよび31dを露出するコンタクトホール38A、38B、38Cには、蓄積電極41、キャパシタ誘電体膜42および対向電極43よりなるメモリセルキャパシタMCが形成されている。

【0068】次に図14(F)の工程において図14(E)の構造上にBPSG膜44が約350nmの厚さに形成され、前記BPSG膜44中上には、前記膜44

中に前記電極37Cおよび拡散領域31oをそれぞれ露出するように形成されたコンタクトホール44Aおよび44Bを介して配線電極45A, 45Bを形成する。また前記BPSG膜44上には配線パターン45C, 45Dが形成される。

【0069】本実施例によるDRAM/ロジック混載半導体集積回路30では、前記SiNキャパシタ絶縁膜42のリーク電流特性が向上し、前記メモリセルキャパシタMCは、キャパシタ絶縁膜42が酸化膜換算膜厚にして4.0nm以下非常に薄い膜厚を有する場合であっても、安定に動作する。その結果、前記メモリセルキャパシタの容量を増大させることができる。

【0070】本実施例によれば、先に図3で説明したように、前記キャパシタ絶縁膜42を形成する工程は650°C以下の低温で実行されるため、前記DRAM/ロジック混載集積回路装置30中において、拡散領域31a～31oの不純物濃度プロファイルが変化することはない。前記キャパシタ絶縁膜42は、先の実施例と同様に、約1.90の屈折率を有する。

【0071】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨において様々な変形・変更が可能である。

【0072】(付記1) 基板と、前記基板上に形成された活性素子と、前記基板上に、前記活性素子に電気的に接続されて形成されたキャパシタとよりなる半導体装置において、前記キャパシタは、屈折率が約1.90のSiN膜よりなるキャパシタ絶縁膜を有することを特徴とする半導体装置。

【0073】(付記2) 前記キャパシタ絶縁膜は、4.0nm以下の酸化膜換算膜厚を有することを特徴とする付記1記載の半導体装置。

【0074】(付記3) 前記キャパシタはSi下部電極を有し、前記SiN膜は前記Si下側電極上に直接に形成されていることを特徴とする付記1または2記載の半導体装置。

【0075】(付記4) 前記キャパシタはSi下部電極を有し、前記SiN膜は前記Si下部電極上に、SiO₂膜を介して形成されていることを特徴とする付記1～3のうち、いずれか一項記載の半導体装置。

【0076】(付記5) 前記活性素子は0.18μm以下のゲート長を有することを特徴とする付記1～5のうち、いずれか一項記載の半導体装置。

【0077】(付記6) 活性素子を形成された基板と、前記基板上に形成されたキャパシタとを有する半導体装置の製造方法において、キャパシタ下部電極を構成するSiパターン表面を熱窒化することにより、前記Siパターン表面に第1のSiN膜をキャパシタ絶縁膜の一部として形成する熱窒化工程と、前記第1のSiN膜の表面に、四塩化ケイ素とアンモニア系ガスとの反応に

よるCVDプロセスにより、第2のSiN膜を前記キャパシタ絶縁膜の一部として形成するCVD工程となり、前記CVD工程は550～660°Cの範囲の温度において実行されることを特徴とする半導体装置の製造方法。

【0078】(付記7) 前記CVD法は、四塩化ケイ素とアンモニアガスを、1:1～1:5の流量比で供給することにより実行されることを特徴とする付記6記載の半導体装置の製造方法。

【0079】(付記8) 前記CVD工程は、600°C～640°Cの範囲の温度において実行されることを特徴とする付記7または8記載の半導体装置の製造方法。

【0080】(付記9) Si基板表面を熱窒化することにより、前記Si基板表面に第1のSiN膜を形成する熱窒化工程と、前記第1のSiN膜の表面に、四塩化ケイ素とアンモニア系ガスとの反応によるCVDプロセスにより、第2のSiN膜を形成するCVD工程となり、前記CVDプロセスは650°C以下の温度において実行されることを特徴とするSiN膜の形成方法。

【0081】(付記10) 前記CVD法は、四塩化ケイ素とアンモニアガスを、1:1～1:5の流量比で供給することにより実行されることを特徴とする付記9記載のSiN膜の形成方法。

【0082】(付記11) 前記CVD工程は640°C～600°Cの範囲の温度で実行されることを特徴とする付記9または10記載のSiN膜の形成方法。

【0083】

【発明の効果】本発明によれば、SiN膜を形成するCVD工程においてアンモニア系ガスとSiCl₄とをそれぞれNおよびSiの原料として使い、650°C以下の温度で堆積を行うことにより、リーク電流を低減したSiN膜を得ることができる。かかるSiN膜をキャパシタ絶縁膜に使ったキャパシタにおいては、キャパシタ絶縁膜の厚さを減少させることにより、キャパシタ容量を増大させることができる。また、前記SiN膜の形成が650°C以下の低温で実行されるため、DRAMやDRAM/ロジック混載集積回路等、微細化半導体活性素子が形成された後にキャパシタが形成される半導体装置においても、キャパシタの形成に伴って活性素子の動作特性が劣化することはない。

【図面の簡単な説明】

【図1】(A)～(C)は、本発明の第1実施例によるSiN膜の形成方法を示す図である。

【図2】図1のSiN膜形成工程で使われる減圧CVD装置の構成を示す図である。

【図3】本発明第1実施例によるSiN膜の形成方法を示すフローチャートである。

【図4】本発明第1実施例によるSiN膜の形成工程において使われる温度プロファイルを示す図である。

【図5】図4の温度プロファイルを使って形成されたSiN膜のリーク電流特性を示す図である。

【図6】本発明第1実施例に対する比較例によるSiN膜の形成工程において使われる温度プロファイルを示す図である。

【図7】本発明第1実施例によるSiN膜の特性評価に使われるキャパシタの構造を示す図である。

【図8】本発明第1実施例によるSiN膜のリーク電流と酸化膜換算膜厚との関係を示す図である。

【図9】(A), (B)は、それぞれ本発明第1実施例および比較例によるSiN膜中における、膜厚方向へのSi原子の濃度分布を示す図である。

【図10】(A), (B)は、それぞれ本発明第1実施例および比較例によるSiN膜中における、膜厚方向へのN原子の濃度分布を示す図である。

【図11】(A), (B)は、それぞれ本発明第1実施例および比較例によるSiN膜中における、膜厚方向へのO原子の濃度分布を示す図である。

【図12】(A), (B)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図13】(C), (D)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図14】(E), (F)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図15】(A), (B)は、図13(D)～図14(E)の間の工程を詳細に示す図(その1)である。

【図16】(C), (D)は、図13(D)～図14(E)の間の工程を詳細に示す図(その2)である。

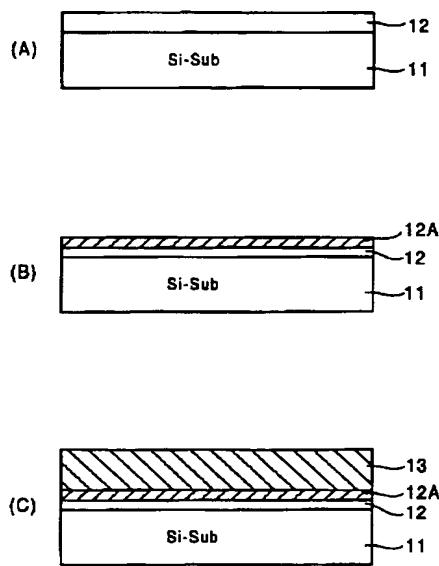
【符号の説明】

- 10 MOSキャパシタ
- 11 Si基板
- 12 自然酸化膜
- 12A 熱窒化膜
- 13 CVD-SiN膜
- 14 酸化膜
- 15 上側電極

- 20 減圧CVD装置
- 21 リアクタ
- 22 リアクタ開口部
- 23 断熱材
- 24 排気ポート
- 25 ガス導入ポート
- 26 石英ポート
- 26A 石英ポート基部
- 26B 石英ポート底板
- 26C 石英ポート駆動機構
- 26D ガイドシャフト
- 27 不活性ガス導入ポート
- 28 ロードロック室
- 28A 開口部
- 28B 扉
- 28C カセット
- 28D ロボット
- 29 ゲートバルブ
- 30 DRAM/ロジック混載半導体集積回路装置
- 30A メモリセル領域
- 30B ロジック領域
- 31 基板
- 31a～31o 拡散領域
- 33A～33F SiT構造
- 35A～35F ゲート電極
- 34 ゲート絶縁膜
- 36, 38, 44 層間絶縁膜
- 36A～36D, 38A～38C, 44A, 44B コンタクトホール
- 36a～36d, 38a～38c 側壁絶縁膜
- 37A, 37B ビット線電極
- 37C, 37D 電極
- 41 蓄積電極
- 42 キャパシタ誘電体膜
- 43 対向電極
- 45A, 45B 配線電極
- 45C, 45D 配線パターン
- 31A～31C ウェル
- 39 絶縁膜

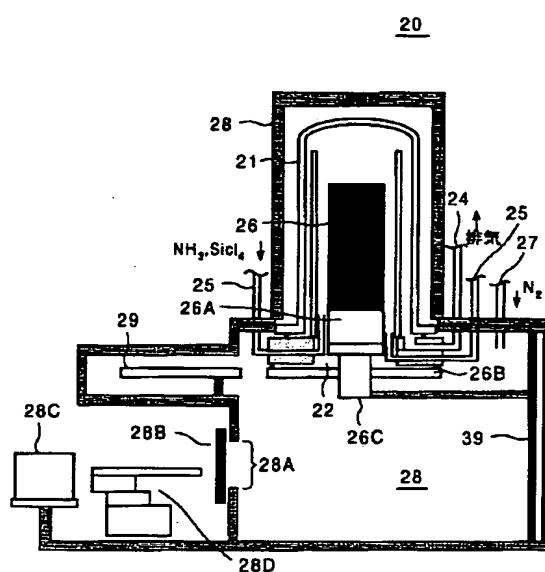
【図1】

(A)～(C)は、本発明の第1実施例によるSiN膜の形成方法を示す図



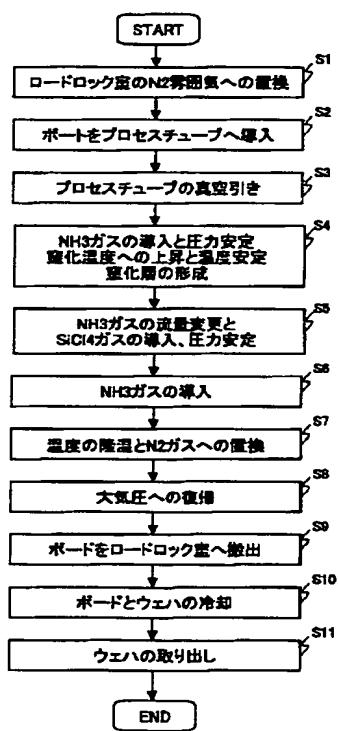
【図2】

図1のSiN膜形成工程で使われる減圧CVD装置の構成を示す図



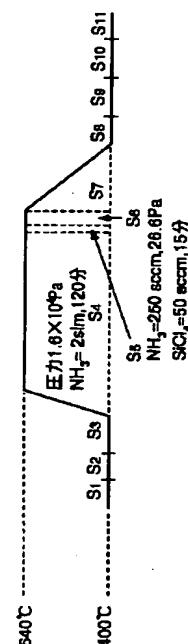
【図3】

本発明第一実施例によるSiN膜の形成方法を示すフローチャート図



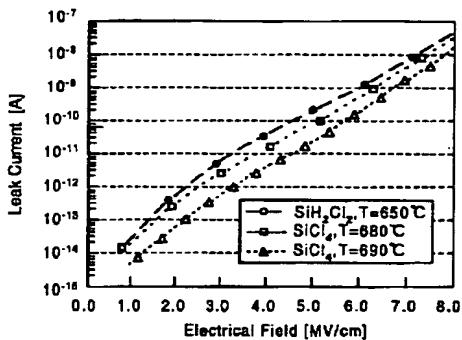
【図4】

本発明第1実施例によるSiN膜の形成工程において使われる温度プロファイルを示す図



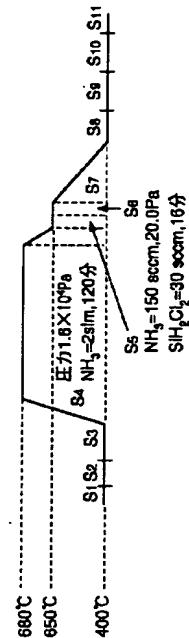
【図5】

図4の温度プロファイルを使って形成されたSiN膜のリーク電流特性を示す図



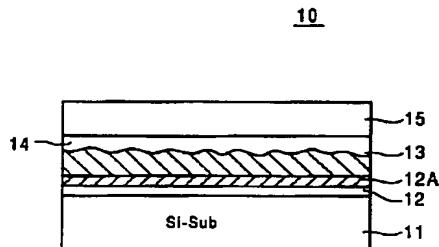
【図6】

本発明第1実施例に対する比較例によるSiN膜の形成工程において使われる温度プロファイルを示す図



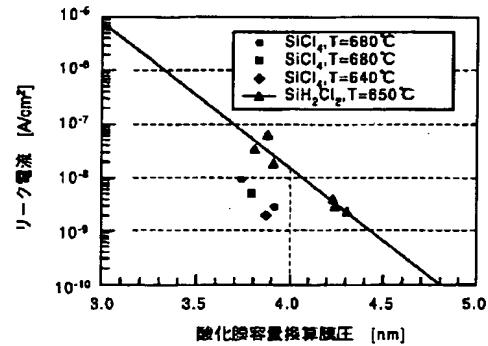
【図7】

本発明第1実施例によるSiN膜の特性評価に使われるキャバシタの構造を示す図



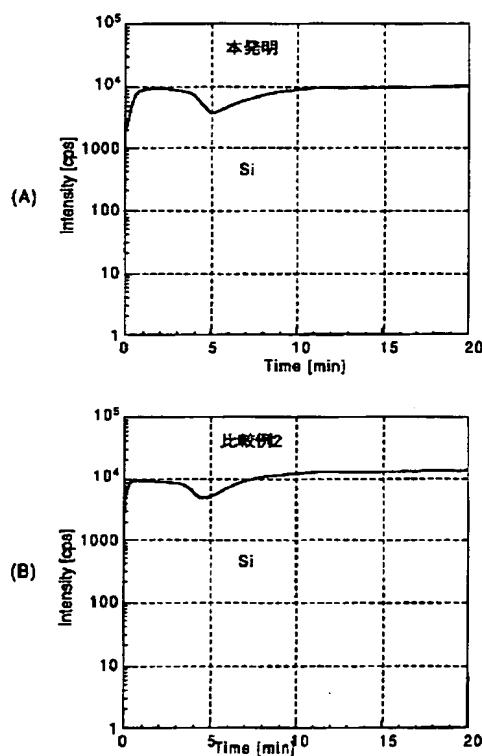
【図8】

本発明第1実施例によるSiN膜のリーク電流と酸化膜換算膜厚との関係を示す図



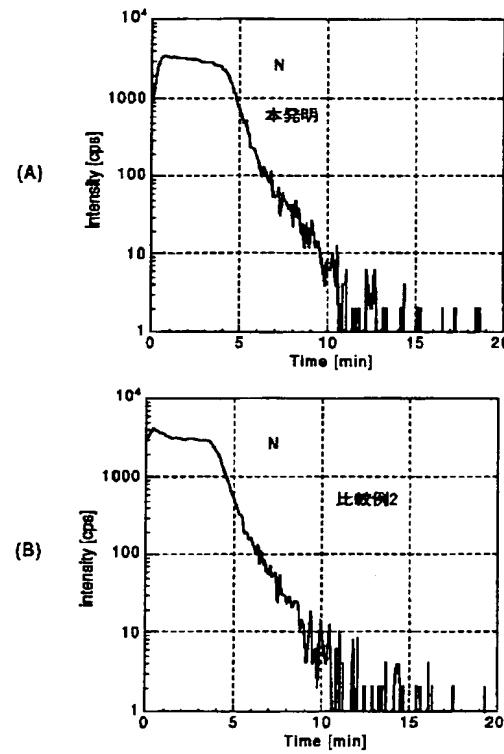
【図9】

(A),(B)は、それぞれ本発明第1実施例および比較例によるSiN膜中に
おける、膜厚方向へのSi原子の濃度分布を示す図



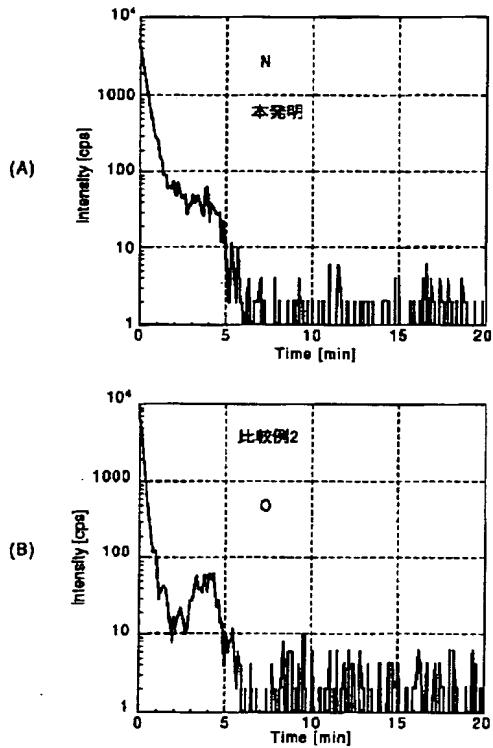
【図10】

(A),(B)は、それぞれ本発明第1実施例および比較例によるSiN膜中に
おける、膜厚方向へのN原子の濃度分布を示す図



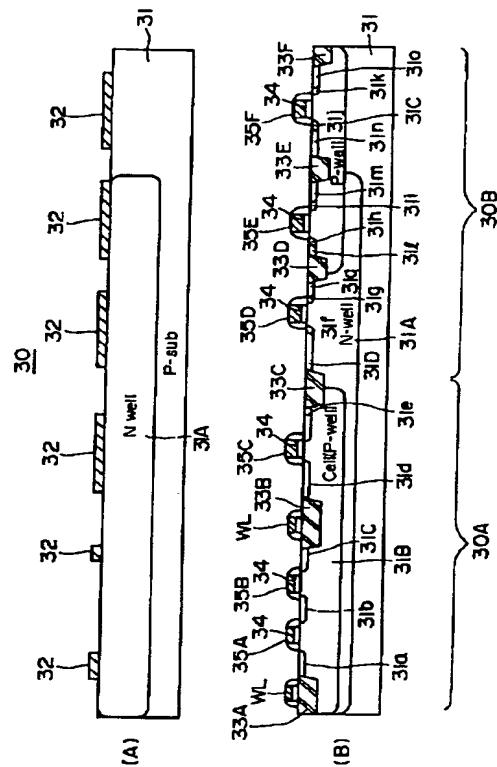
〔四一〕

(A), (B)は、それぞれ本発明第1実施例および比較例によるSIN膜中に
おける、膜厚方向へのO原子の濃度分布を示す図



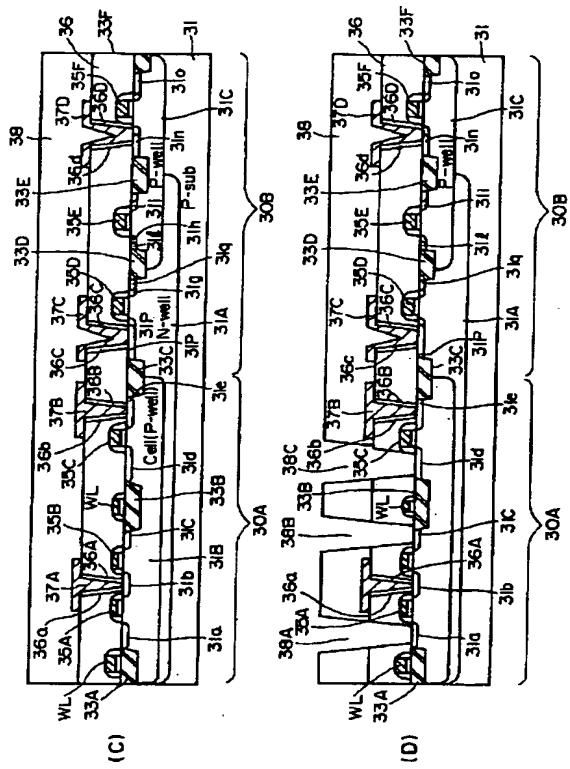
【图 12】

(A),(B)は、本発明第2実施例による半導体集積回路装置の製造工程を示す図(その1)



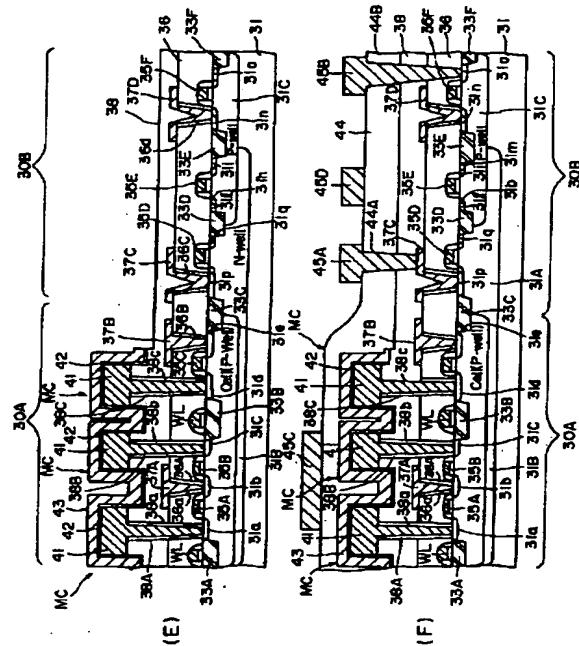
【四 13】

(C1, (D)は、本発明第2実施例による半導体集積回路装置の製造工程を示す図(その2)



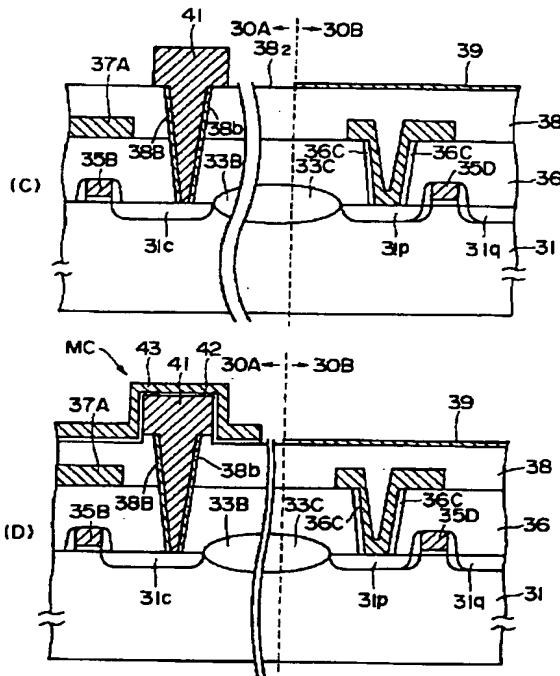
【図14】

(E)、(F)は、本発明第2実施例による半導体集積回路装置の製造工程を示す図(その3)



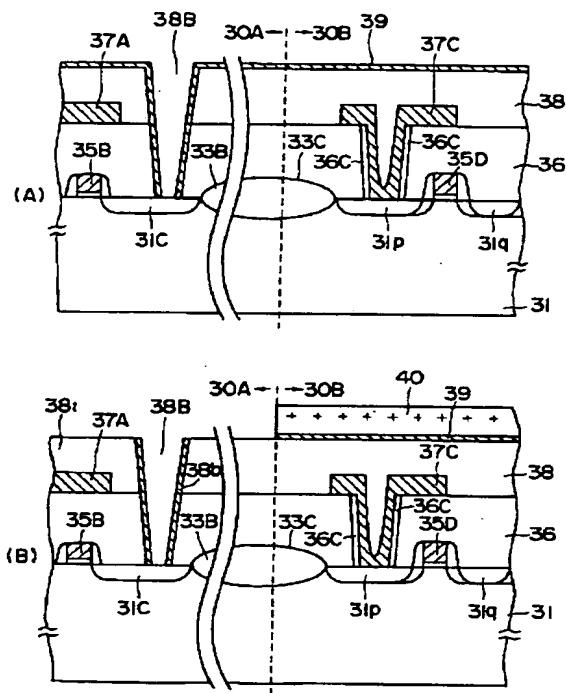
【图 1-6】

(C),(D)は、図13(D)～図14(E)の間の工程を詳細に示す図(その2)



【図15】

(A),(B)は、図13(D)～図14(E)の間の工程を詳細に示す図(その1)



フロントページの続き

F ターム(参考) 4K030 AA03 AA06 AA13 BA40 FA10
 HA04 JA06 JA10 LA15
 5F058 BA11 BA20 BC08 BE01 BF04
 BF24 BF30 BF37 BF64 BJ01
 5F083 AD21 AD48 AD60 JA19 JA33
 MA06 MA17 MA20 PR15 PR21
 PR23 PR43 PR44 PR46 PR53
 PR54 PR56 ZA06 ZA12